

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61100010
PUBLICATION DATE : 19-05-86

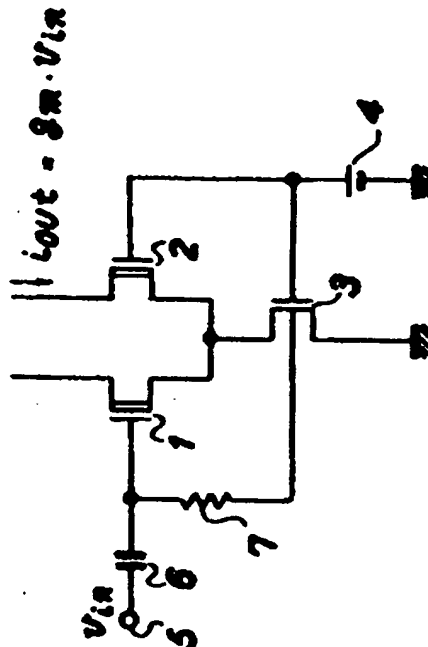
APPLICATION DATE : 23-10-84
APPLICATION NUMBER : 59222397

APPLICANT : SONY CORP;

INVENTOR : SONEDA MITSUO;

INT.CL. : H03F 3/45 H03F 3/345.

TITLE : FET CIRCUIT



ABSTRACT : PURPOSE: To decrease power consumption by setting a threshold voltage of a depletion type FET forming a differential circuit less than a threshold voltage of an element forming a current source by a prescribed value so as to decrease a bias circuit.

CONSTITUTION: The depletion FETs 1, 2 from the differential circuit. Then the threshold voltage of the FETs 1, 2 is selected smaller than the threshold voltage of an enhancement FET 3 by a prescribed value. A bias 4 is given in common to the FETs 1, 2 and the FET 3. Since one system of the bias circuits is enough in this way, the number of bias circuits is decreased. Thus, the power consumption is reduced.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-100010

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)5月19日

H 03 F 3/45
3/345

6628-5J
6628-5J

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 FET回路

⑯ 特 願 昭59-222397

⑰ 出 願 昭59(1984)10月23日

⑱ 発 明 者 曾 根 田 光 生 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 FET回路

特許請求の範囲

少くとも一対のディブレーション型のFETからなる差動回路を有し、上記ディブレーション型のFETのスレシヨルド電圧が上記差動回路の電流源を構成する素子のスレシヨルド電圧より所定値以上小さく形成され、上記ディブレーション型のFETと上記電流源を構成する素子とに共通のバイアスが与えられるようにしたFET回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、エンハンスメント型とディブレーション型のMOSFETのように、スレシヨルド電圧の異なる素子を組合せて用いたFET回路に関する。〔従来の技術〕

例えばFET回路にて2乗回路を構成する場合に、従来は図8図に示すような回路が用いられていた。図において、差動接続された2対のエンハンスメント型のMOSFET (101) と (102)、(103) と

(104) が設けられ、これらのFET (101)(102) のソースの接続点及びFET (103)(104) のソースの接続点がそれぞれエンハンスメント型のMOSFET (105) 及び (106) のドレインソースを通じて電流源 (107) に接続される。

またFET (101) と (104)、(102) と (103) のゲートが互いに接続される。また入力端子 (108) がコンデンサ (109) を通じてFET (101)(104) のゲートの接続点に接続され、この接続点が抵抗器 (110) を通じてバイアス電圧源 (111) に接続されると共に、FET (102)(103) のゲートの接続点が電圧源 (111) に接続される。

さらに入力端子 (108) がコンデンサ (112) を通じてFET (105) のゲートに接続され、この接続点が抵抗器 (113) を通じてバイアス電圧源 (114) に接続されると共に、FET (106) のゲートが電圧源 (114) に接続される。

そしてFET (101) と (103)、(102) と (104) のドレインが互いに接続される。

この回路において、微小信号入力に対してバイ

アス電圧源(114)の電圧 V_1 とバイアス電圧源(111)の電圧 V_2 の関係を

$$V_2 \geq V_1 + \sqrt{\frac{I_D}{k}}$$

$$\text{但し、} k = \frac{\mu_{ox}}{2 \epsilon_0}$$

I_D : FET (101) ~ (104) に流れるドレイン電流

とすることにより、入力端子(108)の信号電圧 v_{in} に対するFET(101)~(104)のドレインを流れる信号電流 i_{out} を

$$i_{out} = K \cdot v_{in}^2$$

とすることができる。

ところがこの回路において、各FETのバイアスの関係から、コンデンサ(109)(112)、抵抗器(110)(113)、バイアス電圧源(111)(114)の構成がそれぞれ2組ずつ必要である。特にバイアス電圧源は一般に第9図に示すようなソースホロア型の回路が用いられるが、ローインピーダンスにするためには各素子のW値、パワー共にかなり必要であり、

き、また効率や信頼性を向上させることができる。
〔実施例〕

第1図は基本となる差動アンプを構成した場合の例を示す。図において、ダイプレッション型のMOSFET(1)(2)が差動接続され、そのソースの接続点がエンハンスメント型のMOSFET(3)のドレインソースを通じて接地される。このFET(2)と(3)のゲートが共通のバイアス電圧源(4)に接続される。また入力端子(5)がコンデンサ(6)を介してFET(1)のゲートに接続されると共に、このFETが抵抗器(7)を介して電圧源(4)に接続される。

この回路において、FET(1)(2)のスレショルド電圧 V_{thD} を、FET(3)のスレショルド電圧 V_{thE} に対して

$$V_{thE} - V_{thD} \geq \sqrt{\frac{I_D}{k_D}} \quad \dots\dots (1)$$

$$\text{但し、} k_D = \frac{\mu_{ox}}{2 \epsilon_0} \cdot \frac{W}{L}$$

となるように、 V_{thD} 、 V_{thE} の値を設計する。

このようにすることにより、FET(1)(2)と(3)と

このような回路を2組設けることは、回路設計上極めて不都合であつた。

〔発明が解決しようとする問題点〕

従来の回路は上述のように構成されていた。しかしながらこの回路において、バイアス回路のために素子数が増大し、IC化した場合のチップ面積の増加、消費電力の増加などの問題点があつた。
〔問題点を解決するための手段〕

本発明は、少くとも一対のダイプレッション型のFET(1)(2)からなる差動回路を有し、上記ダイプレッション型のFET(1)(2)のスレショルド電圧が上記差動回路の電流源を構成する素子(3)のスレショルド電圧より所定値以上小さく形成され、上記ダイプレッション型のFET(1)(2)と上記電流源を構成する素子(3)とに共通のバイアス(4)が与えられるようにしたFET回路である。

〔作用〕

上述の回路によれば、バイアス回路が削減され、これによつてIC化した場合のチップ面積の減少、消費電力の低減、価格の低下などを計ることがで

る。また入力回路(コンデンサ(6)及び抵抗器(7))も1組で可能となり、回路を大幅に削減することができる。

なおFET(2)のドレインに得られる出力信号電流 i_{out} は、入力端子(5)の入力信号電圧 v_{in} に対して

$$i_{out} = g_m \cdot v_{in}$$

となる。

従つてこの回路においてIC化した場合のチップ面積の減少、消費電力の低減、価格の低下などを計ることができ、また効率や信頼性を向上させることができる。

また第2図は上述の回路を2組ダブルバランス型で設けて掛算器を構成した場合である。この回路においてもバイアス電圧源(4)は一系統のみでよく、また入力回路もそれぞれの入力端子6062に対して1組ずつよい。この回路において出力信号電流 i_{out} は、入力端子6062の入力信号電圧 v_{in1} 、 v_{in2} に対して

$$i_{out} = K \cdot v_{in1} \cdot v_{in2}$$

となる。

さらに第3図は2乗回路を構成した場合で、上述の入力端子61,62が共通に信号源50に接続される。この例においてさらに単相入力とした場合の具体回路は第4図に示すようになり、この例において上述の従来例の第8図と比較すると、回路の削減の効果が明瞭になる。

また第5図は、例えば映像信号のオフセット電圧を、水平ブランキング期間に所定電圧にクランプする回路に使用される、電圧オフセット補正機能付きの掛算器を構成した場合で、この例においてスイッチ(11a)(11b)(12a)(12b)がオンされると電圧オフセットが電圧源13の電圧に補正される。この例においても、オフセット用の電圧源13を一系統のみとすることができる。

また第6図はAM変調器を構成した場合で、この場合には、抵抗器14をFET(3)のゲートとバイアス電圧源(4)との間に設ける。

さらに第7図は、FETの基板効果を用いてスレシヨルド電圧を変えるようにした場合にFET

は全てエンハンスメント型で構成され、FET(3a)(3b)にスレシヨルド電圧を上げるための負の電圧源14が接続される。

この例においても、上述と同様の作用効果を得ることができる。

なおこの発明は、PMOS, NMOS, CMOS, JFET, TET, SOI等のMOSFETを用いた回路に同様に適用できる。

[発明の効果]

本発明によれば、バイアス回路が削減され、これによつてIC化した場合のチップ面積の減少、消費電力の低減、価格の低下などを計ることができる、また効率や信頼性を向上させることができるようになった。

図面の簡単な説明

第1図は本発明の一例の構成図、第2図～第7図は他の例の構成図、第8図、第9図は従来回路の説明のための図である。

(1)(2)はディプレッション型のFET、(3)はエンハンスメント型のFET、(4)はバイアス電圧源で

ある。

代理人

伊藤 貞

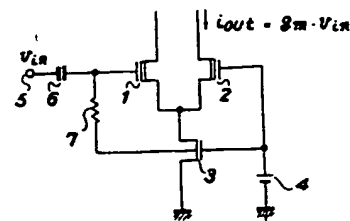


同

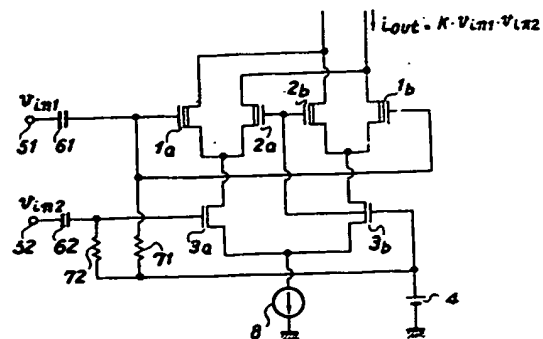
松隈 秀盛



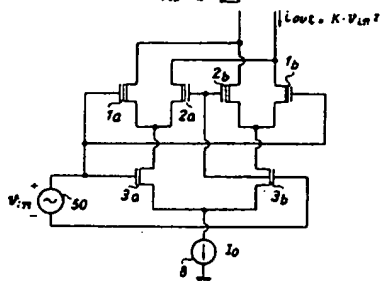
第1図



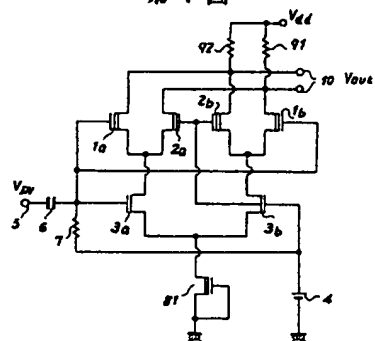
第2図



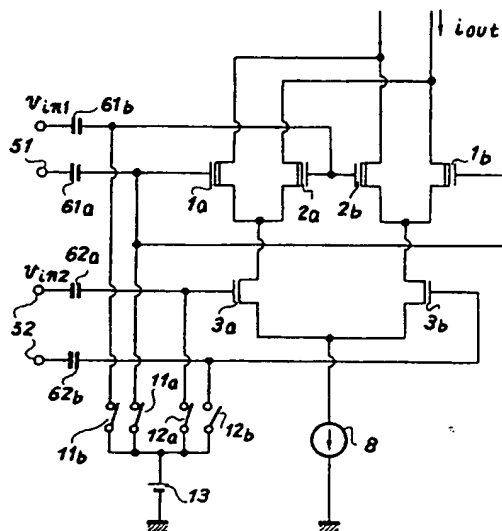
第3図



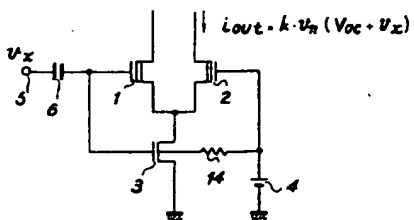
第4図



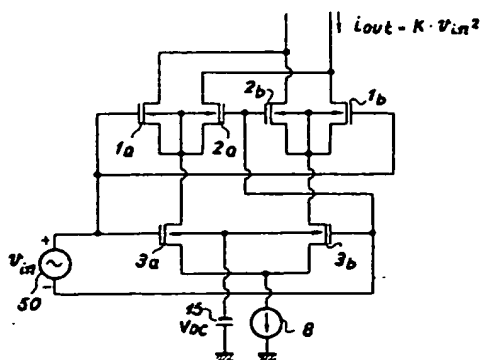
第5図



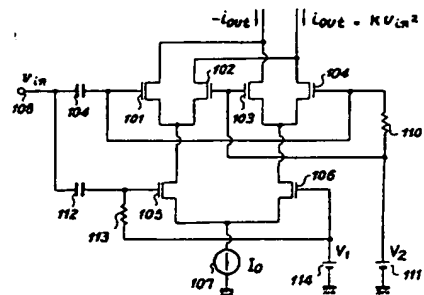
第6図



第7図



第8図



第9図

